

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF THE RECORDING
OF A CHANGE(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)

From the INTERNATIONAL BUREAU

To:

ZIMMERMANN & PARTNER
Postfach 33 09 20
D-80069 München
ALLEMAGNE

Date of mailing (day/month/year) 20 September 2000 (20.09.00)										
Applicant's or agent's file reference GR 99 P 2439 P	IMPORTANT NOTIFICATION									
International application No. PCT/DE99/02339	International filing date (day/month/year) 29 July 1999 (29.07.99)									
<p>1. The following indications appeared on record concerning:</p> <p><input type="checkbox"/> the applicant <input type="checkbox"/> the inventor <input checked="" type="checkbox"/> the agent <input type="checkbox"/> the common representative</p>										
Name and Address ZIMMERMANN & PARTNER Postfach 33 09 20 D-80069 München Germany	State of Nationality		State of Residence							
	Telephone No.									
	Facsimile No.									
	Teleprinter No.									
<p>2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:</p> <p><input type="checkbox"/> the person <input type="checkbox"/> the name <input type="checkbox"/> the address <input type="checkbox"/> the nationality <input type="checkbox"/> the residence</p>										
Name and Address	State of Nationality		State of Residence							
	Telephone No.									
	Facsimile No.									
	Teleprinter No.									
<p>3. Further observations, if necessary: Appointment of agent.</p>										
<p>4. A copy of this notification has been sent to:</p> <table> <tr> <td><input checked="" type="checkbox"/> the receiving Office</td> <td><input type="checkbox"/> the designated Offices concerned</td> </tr> <tr> <td><input type="checkbox"/> the International Searching Authority</td> <td><input checked="" type="checkbox"/> the elected Offices concerned</td> </tr> <tr> <td><input checked="" type="checkbox"/> the International Preliminary Examining Authority</td> <td><input type="checkbox"/> other:</td> </tr> </table>					<input checked="" type="checkbox"/> the receiving Office	<input type="checkbox"/> the designated Offices concerned	<input type="checkbox"/> the International Searching Authority	<input checked="" type="checkbox"/> the elected Offices concerned	<input checked="" type="checkbox"/> the International Preliminary Examining Authority	<input type="checkbox"/> other:
<input checked="" type="checkbox"/> the receiving Office	<input type="checkbox"/> the designated Offices concerned									
<input type="checkbox"/> the International Searching Authority	<input checked="" type="checkbox"/> the elected Offices concerned									
<input checked="" type="checkbox"/> the International Preliminary Examining Authority	<input type="checkbox"/> other:									
The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	<p>Authorized officer Simin Baharlou</p> <p>Telephone No.: (41-22) 338.83.38</p>									

PATENT COOPERATION TREATY

PCT

NOTIFICATION OF THE RECORDING
OF A CHANGE(PCT Rule 92bis.1 and
Administrative Instructions, Section 422)Date of mailing (day/month/year)
20 September 2000 (20.09.00)

From the INTERNATIONAL BUREAU

To:

ZIMMERMANN & PARTNER
Postfach 33 09 20
D-80069 München
ALLEMAGNE

Date of mailing (day/month/year) 20 September 2000 (20.09.00)	IMPORTANT NOTIFICATION		
Applicant's or agent's file reference GR 99 P 2439 P	International application No. PCT/DE99/02339		
		International filing date (day/month/year) 29 July 1999 (29.07.99)	

1. The following indications appeared on record concerning:

the applicant the inventor the agent the common representative

Name and Address SIEMENS AKTIENGESELLSCHAFT Wittelsbacherplatz 2 D-80333 München Germany	State of Nationality DE	State of Residence DE
	Telephone No.	
	Facsimile No.	
	Teleprinter No.	

2. The International Bureau hereby notifies the applicant that the following change has been recorded concerning:

the person the name the address the nationality the residence

Name and Address INFINEON TECHNOLOGIES AG St.-Martin-Strasse 53 D-81541 München Germany	State of Nationality DE	State of Residence DE
	Telephone No.	
	Facsimile No.	
	Teleprinter No.	

3. Further observations, if necessary:

--	--

4. A copy of this notification has been sent to:

<input checked="" type="checkbox"/> the receiving Office	<input type="checkbox"/> the designated Offices concerned
<input type="checkbox"/> the International Searching Authority	<input checked="" type="checkbox"/> the elected Offices concerned
<input checked="" type="checkbox"/> the International Preliminary Examining Authority	<input type="checkbox"/> other:

The International Bureau of WIPO 34, chemin des Colombettes 1211 Geneva 20, Switzerland Facsimile No.: (41-22) 740.14.35	Authorized officer Simin Baharlou Telephone No.: (41-22) 338.83.38
---	--

Translation

PATENT COOPERATION TREATY

PCT

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

(PCT Article 36 and Rule 70)

10/048,207

Applicant's or agent's file reference INF-P10178-WO	FOR FURTHER ACTION See Notification of Transmittal of International Preliminary Examination Report (Form PCT/IPEA/416)	
International application No. PCT/DE99/02339	International filing date (day/month/year) 29 July 1999 (29.07.99)	Priority date (day/month/year)
International Patent Classification (IPC) or national classification and IPC H01L 21/8242		
Applicant INFINEON TECHNOLOGIES AG		

1. This international preliminary examination report has been prepared by this International Preliminary Examining Authority and is transmitted to the applicant according to Article 36.

2. This REPORT consists of a total of 5 sheets, including this cover sheet.

This report is also accompanied by ANNEXES, i.e., sheets of the description, claims and/or drawings which have been amended and are the basis for this report and/or sheets containing rectifications made before this Authority (see Rule 70.16 and Section 607 of the Administrative Instructions under the PCT).

These annexes consist of a total of 2 sheets.

3. This report contains indications relating to the following items:

- I Basis of the report
- II Priority
- III Non-establishment of opinion with regard to novelty, inventive step and industrial applicability
- IV Lack of unity of invention
- V Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement
- VI Certain documents cited
- VII Certain defects in the international application
- VIII Certain observations on the international application

Date of submission of the demand 14 June 2000 (14.06.00)	Date of completion of this report 30 October 2001 (30.10.2001)
Name and mailing address of the IPEA/EP	Authorized officer
Facsimile No.	Telephone No.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.

PCT/DE99/02339

1. Basis of the report

1. With regard to the elements of the international application:*

- the international application as originally filed
 the description:

pages _____ 1-19 _____, as originally filed
 pages _____ _____, filed with the demand
 pages _____, filed with the letter of _____

- the claims:

pages _____ _____, as originally filed
 pages _____, as amended (together with any statement under Article 19)
 pages _____, filed with the demand
 pages _____ 1-8 _____, filed with the letter of 01 October 2001 (01.10.2001)

- the drawings:

pages _____ 1/9-9/9 _____, as originally filed
 pages _____ _____, filed with the demand
 pages _____, filed with the letter of _____

- the sequence listing part of the description:

pages _____ _____, as originally filed
 pages _____, filed with the demand
 pages _____, filed with the letter of _____

2. With regard to the language, all the elements marked above were available or furnished to this Authority in the language in which the international application was filed, unless otherwise indicated under this item.

These elements were available or furnished to this Authority in the following language _____ which is:

- the language of a translation furnished for the purposes of international search (under Rule 23.1(b)).
 the language of publication of the international application (under Rule 48.3(b)).
 the language of the translation furnished for the purposes of international preliminary examination (under Rule 55.2 and/or 55.3).

3. With regard to any nucleotide and/or amino acid sequence disclosed in the international application, the international preliminary examination was carried out on the basis of the sequence listing:

- contained in the international application in written form.
 filed together with the international application in computer readable form.
 furnished subsequently to this Authority in written form.
 furnished subsequently to this Authority in computer readable form.
 The statement that the subsequently furnished written sequence listing does not go beyond the disclosure in the international application as filed has been furnished.
 The statement that the information recorded in computer readable form is identical to the written sequence listing has been furnished.

4. The amendments have resulted in the cancellation of:

- the description, pages _____
 the claims, Nos. _____
 the drawings, sheets/fig _____

5. This report has been established as if (some of) the amendments had not been made, since they have been considered to go beyond the disclosure as filed, as indicated in the Supplemental Box (Rule 70.2(c)).**

* Replacement sheets which have been furnished to the receiving Office in response to an invitation under Article 14 are referred to in this report as "originally filed" and are not annexed to this report since they do not contain amendments (Rule 70.16 and 70.17).

** Any replacement sheet containing such amendments must be referred to under item 1 and annexed to this report.

INTERNATIONAL PRELIMINARY EXAMINATION REPORTInternational application No.
PCT/DE 99/02339**V. Reasoned statement under Article 35(2) with regard to novelty, inventive step or industrial applicability; citations and explanations supporting such statement****1. Statement**

Novelty (N)	Claims	1 - 8	YES
	Claims		NO
Inventive step (IS)	Claims	1 - 8	YES
	Claims		NO
Industrial applicability (IA)	Claims	1 - 8	YES
	Claims		NO

2. Citations and explanations

1. The combination of the method steps defined in Claim 1 cannot be derived from the known prior art.

Neither D1-D3 nor the other documents cited in the search report in any way point towards the discovery of the use of a sacrificial contact.

Accordingly, Claim 1 meets the requirements of PCT Article 33(1), (2) and (3).

2. Claims 2-8 relate to advantageous developments of the main claim.

INTERNATIONAL PRELIMINARY EXAMINATION REPORT

International application No.
PCT/DE 99/02339

VII. Certain defects in the international application

The following defects in the form or contents of the international application have been noted:

1. Contrary to PCT Rule 5.1(a)(ii), the description does not cite D1 to D3 or indicate the relevant prior art disclosed therein.
2. The features of the claims are not provided with reference signs placed between parentheses (PCT Rule 6.2(b)).

INTERNATIONAL PRELIMINARY EXAMINATION REPORTInternational application No.
PCT/DE 99/02339**VIII. Certain observations on the international application**

The following observations on the clarity of the claims, description, and drawings or on the question whether the claims are fully supported by the description, are made:

1. It follows from the description on page 16, line 16 to page 17, line 13 that the position of the sacrificial contact between the gateways is essential for definition of the invention - see in particular page 17, lines 9-13.

Since the independent Claim 1 does not define this position, it fails to satisfy the requirement of PCT Article 6 in combination with PCT Rule 6.3(b) that each independent claim must contain all technical features that are essential to definition of the invention.

2. The examples of embodiments described on pages 8-14 and shown in Figures 1-12 do not come under the present claims. This inconsistency between the claims and the description gives rise to uncertainty relating to the subject matter for which protection is sought and, as a result, the claims are not clear (PCT Article 6).

(12) NACH DEM VERTRÄG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
8. Februar 2001 (08.02.2001)

PCT

(10) Internationale Veröffentlichungsnummer
WO 01/09946 A1

(51) Internationale Patentklassifikation⁷: H01L 21/8242

JACOBS, Tobias [DE/FR]; 8, rue Parrot, F-75012 Paris (FR). WINNER, Josef [DE/DE]; Stefan-George-Ring 47, D-81929 München (DE).

(21) Internationales Aktenzeichen: PCT/DE99/02339

(74) Anwalt: ZIMMERMANN & PARTNER; Postfach 33 09 20, D-80069 München (DE).

(22) Internationales Anmeldedatum:
29. Juli 1999 (29.07.1999)

(81) Bestimmungsstaaten (national): JP, KR, US.

(25) Einreichungssprache: Deutsch

(84) Bestimmungsstaaten (regional): europäisches Patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE).

(26) Veröffentlichungssprache: Deutsch

Veröffentlicht:

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): INFINEON TECHNOLOGIES AG [DE/DE]; St-Martin-Strasse 53, D-81541 München (DE).

— Mit internationalem Recherchenbericht.

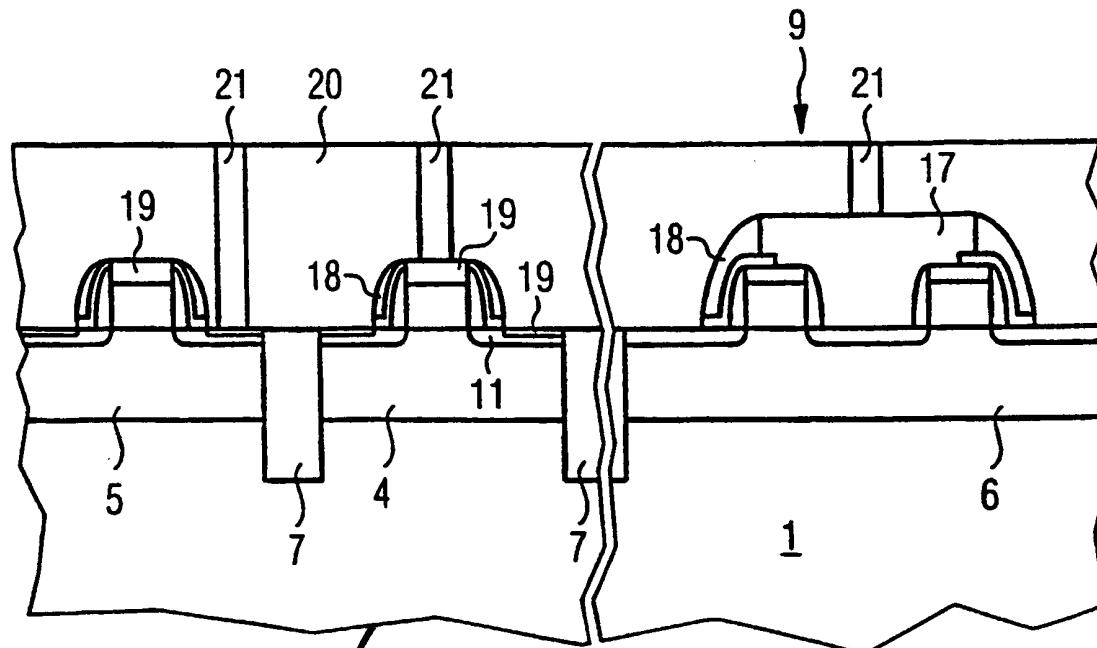
(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): HEINECK, Lars-Peter [DE/FR]; 131, avenue Daumesnil, F-75012 Paris (FR).

[Fortsetzung auf der nächsten Seite]

(54) Title: METHOD FOR PRODUCING INTEGRATED SEMICONDUCTOR COMPONENTS

(54) Bezeichnung: VERFAHREN ZUR HERSTELLUNG INTEGRIERTER HALBLEITERBAUELEMENTE



(57) Abstract: The inventive method has the advantage that the integration density, for example in the memory cell field (9), can be significantly increased. The invention is characterised in that the formation of the contacts (17) for the source/drain regions in the second area (9) of the semiconductor substrate takes place or is prepared at a time before all the spacers (12, 13, 18) have been created. This means that is no superfluous creation of spacers in the memory cell field, thus saving space on the surface of the chip. The space that has been saved can be used, for example, to arrange the gate tracks in the memory cell field in closer proximity to one another.

[Fortsetzung auf der nächsten Seite]



Zur Erklärung der Zweibuchstaben-Codes, und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

(57) Zusammenfassung: Die erfindungsgemäßen Verfahren besitzen den Vorteil, dass die Integrationsdichte beispielsweise im Speicherzellenfeld (9) deutlich erhöht werden kann. Durch das Merkmal, dass die Bildung der Kontakte (17) zu den Source/Draingebieten im zweiten Bereich (9) des Halbleitersubstrats zu einem Zeitpunkt vorgenommen bzw. vorbereitet wird, an dem noch nicht alle Abstandstücke (12, 13, 18) (Spacer) erzeugt worden sind, kommt es zu keiner unnötigen Spacer-Erzeugung in dem Speicherzellenfeld, wodurch sich Chipfläche einsparen lässt. Die eingesparte Fläche kann beispielsweise dazu genutzt werden, um die Gatebahnen im Speicherzellenfeld enger anzuordnen.

Beschreibung

Verfahren zur Herstellung integrierter Halbleiterbauelemente

5

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements. Die vorliegende Erfindung betrifft insbesondere ein Verfahren zur Herstellung eines integrierten DRAM oder embedded DRAM- bzw. 10 embedded SRAM-Halbleiterbauelements.

Ziel vieler Entwicklungen in der Mikroelektronik ist es, die Kosten, die zur Realisierung einer bestimmten elektronische Funktion aufzuwenden sind, ständig zu senken und somit 15 die Produktivität kontinuierlich zu steigern. Der Garant für die Produktivitätssteigerung in den letzten Jahren war und ist dabei die ständige Strukturverkleinerung der Halbleiterbauelemente. Insbesondere Feldeffekttransistoren werden ständig verkleinert und in integrierten Schaltungen mit höchster 20 Packungsdichte angeordnet.

Um ihre Funktion erfüllen zu können, müssen Feldeffekttransistoren mit anderen Feldeffekttransistoren und mit der Außenwelt verbunden werden. Dazu müssen Kontakte zu den Diffusionsgebieten der Transistoren erzeugt werden. Bei Verfahren zur Herstellung von Logikschaltungen werden beispielsweise durch eine Phototechnik und eine Ätzung Kontaktlöcher zu den Diffusionsgebieten der Transistoren erzeugt. Da diese Kontaktlochbildung in der Regel nicht selbstjustiert durchgeführt wird, muß ein hinreichend großer Sicherheitsabstand 25 zwischen der Gatebahn und dem Kontaktloch eingehalten werden, was sich natürlich negativ auf die Integrationsdichte auswirkt. 30

Bei Verfahren Herstellung von DRAM-Halbleiterbauelementen werden in der Regel selbstjustierte Kontakte erzeugt. Dabei werden üblicherweise Kontaktlöcher in eine zwi- 35

schen den Gatebahnen abgeschiedene BPSG-Schicht geätzt. Nachfolgend werden diese Kontaktlöcher mit einem leitfähigem Material aufgefüllt, so daß eine leitfähige Verbindung zustande kommt.

5

Die Erzeugung dieser Kontaktlöcher wird jedoch mit fortschreitender Strukturverkleinerung immer schwieriger. Bei modernen Feldeffekttransistoren werden an den Seitenwänden der Gatebahnen eine Reihe von Abstandsstücken, sogenannten 10 Spacer, erzeugt, die im Zusammenspiel mit geeigneten Dotierstoffimplantationen dafür sorgen, daß die für den jeweiligen Zweck geeigneten Dotierstoffprofile in den Source/Draingegebieten erzeugt werden können. Bedingt durch die 15 zwischen den Gatebahnen angeordneten Spacer und der Forderung, daß das Kontaktloch möglichst zwischen den Spacern angeordnet sein soll, müssen der Abstand zwischen den Gatebahnen bzw. das Diffusionsgebiet, das zur Kontaktierung dient hinreichend groß gewählt werden, was sich negativ auf die erzielbare Integrationsdichte auswirkt.

20

Bei der Ätzung der Kontaktlöcher dürfen die Gatebahnen nicht beschädigt werden, da es sonst zu einem Kurzschluß zwischen dem Diffusionskontakt und dem Gate kommt. Da es sich aber trotz aller Bemühungen nicht verhindern läßt, daß bei 25 der Ätzung der Kontaktlöcher die Gatebahnen angegriffen werden, ist in der Regel eine dicke Schutzschicht, ein sogenanntes „Cap“, auf den Gatebahnen angeordnet, die einen Kurzschluß zwischen Kontakt und Gate verhindern soll. Die relativ große Dicke dieser Schutzschicht beeinträchtigt jedoch die 30 Qualität der Gatebahnen und verhindert in der Regel eine Silizierung der Gatebahnen sowie die nachträgliche Dotierung des Polysiliziums der Gatebahnen („Dual-Workfunction-Gates“).

Durch die engen Verhältnisse zwischen den Gatebahnen ist 35 es notwendig, daß die Isolationsschicht einer Temperaturbehandlung mit relativ hohen Temperaturen ausgesetzt wird, um ein Verfließen der Isolationsschicht zu erreichen. Trotzdem

kann es bei der Abscheidung der Isolationsschicht zu Löchern, sogenannten Voids, zwischen den Gatebahnen kommen. Werden nun die Kontaktlöcher gebildet, kann es vorkommen, daß zwei Kontaktlöcher über einen Void miteinander verbunden sind. Bei 5 dem nachfolgenden Auffüllen der Kontaktlöcher mit leitenden Material werden in der Regel auch die Voids aufgefüllt, so daß ein Kurzschluß zwischen zwei Kontakten entstehen kann, der möglicherweise zum Ausfall der gesamten Schaltung führt.

10 Daher ist es die Aufgabe der vorliegenden Erfindung ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements bereitzustellen, das die genannten Probleme mindert bzw. gänzlich vermeidet.

15 Diese Aufgabe wird erfindungsgemäß von den Verfahren zur Herstellung eines integrierten Halbleiterbauelements nach den unabhängigen Patentansprüchen 1 oder 3 gelöst. Weitere vor- teilhafte Ausführungsformen, Eigenschaften und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen An- 20 sprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Erfindungsgemäß wird ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den folgenden Schritten bereitgestellt:

- 25 a) ein Halbleitersubstrat mit zumindest einem ersten Be-
reich und zumindest einem zweiten Bereich wird be-
reitgestellt;
- 30 b) im ersten und im zweiten Bereich des Halbleitersub-
strats werden Gatebahnen hergestellt;
- 35 c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete so-
wie an den Gatebahnen mindestens zwei Abstandsstücke
erzeugt;

5 d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingegebieten gebildet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

10 Weiterhin wird erfindungsgemäß ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den folgenden Schritten bereitgestellt:

15 a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;

20 b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;

25 c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;

30 d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingegebieten vorbereitet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

35 Die erfindungsgemäßen Verfahren besitzen den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Durch das Merkmal, daß die Bildung der Kontakte zu den Source/Draingegebieten im zweiten Bereich des Halbleitersubstrats zu einem Zeitpunkt vorgenommen bzw. vorbereitet wird, an dem noch nicht alle Abstandsstücke (Spacer) erzeugt worden sind, kommt es zu keiner unnö-

tigen Spacer-Erzeugung in dem zweiten Bereich, wodurch sich Chipfläche einsparen lässt. Die einsparte Fläche kann beispielsweise dazu genutzt werden, um die Gatebahnen im zweiten Bereich enger anzuordnen. Die Spacer können dabei als eine 5 Hilfe zur Einstellung der gewünschten Dotierstoffprofile und/oder als seitliche Isolierung der Gatebahnen verwendet werden.

Weiterhin lassen sich die erfindungsgemäßen Verfahren 10 ohne Schwierigkeiten in einen bereits bestehenden Prozeßablauf zur Herstellung eines Halbleiterbauelements integrieren. Insbesondere können die Prozeßschritte für die Herstellung von sehr schnellen Logikschaltungen nahezu unverändert beibehalten werden. Probleme, wie sie bei herkömmlichen Verfahren 15 durch das Auftreten von Leerräumen (Voids) zwischen den Transistoren ergeben, können bei den erfindungsgemäßen Verfahren deutlich vermindert bzw. ganz vermieden werden. Durch die frühe Bildung bzw. Vorbereitung der Kontakte können hohe Aspektverhältnisse vermieden werden, wodurch die Prozesse 20 insgesamt stabiler durchzuführen sind. Dabei können die Kontakte auch schon zu einem Zeitpunkt gebildet bzw. vorbereitet werden, an dem die Source/Draingegebiete noch gar nicht gebildet wurden.

25 Gemäß einer bevorzugten Ausführungsform werden zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Landing Pads ausgebildet. Zur Bildung der Landing Pads bzw. der Kontakte selbst wird bevorzugt dotiertes Polysilizium verwendet.

30 Gemäß einer weiteren bevorzugten Ausführungsform werden zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Opferkontakte ausgebildet. Die Opferkontakte verhindern ebenfalls die Erzeugung unnötiger Spacer an den Gatebahnen im zweiten Bereich des Halbleitersubstrats. Sie werden 35

erst entfernt, wenn die eigentlichen Kontakte zu den Source/Draingegebieten gebildet werden.

Gemäß einer bevorzugten Ausführungsform werden die Abstandsstücke (Spacer) aus Siliziumoxid, Siliziumnitrid oder Oxynitrid gebildet. Dazu wird eine Siliziumoxid-, Siliziumnitrid- oder Oxynitridschicht über den Gatebahnen abgeschieden und durch eine anisotrope Ätzung zurückgeätzt, so daß Teile dieser Schichten an den Seitenwänden der Gatebahnen zurückbleiben. Durch Verwendung dieser Spacer lassen sich die Dotierungen der Source/Draingegebiete sehr genau, entsprechend den jeweiligen Anforderungen einstellen.

Gemäß einer weiteren bevorzugten Ausführungsform werden die Gatebahnen gebildet, indem eine Polysiliziumschicht und eine Schutzschicht, insbesondere eine Siliziumnitrid-, Siliziumoxid- oder Oxynitridschicht, erzeugt und diese Schichten gemeinsam zu Gatebahnen strukturiert werden. Dabei ist es insbesondere bevorzugt, wenn die Schutzschicht mit einer Dicke erzeugt wird, so daß nach der Gatestrukturierung die Schutzschicht eine Dicke kleiner als 100 nm, bevorzugt zwischen 40 und 60 nm, aufweist. Diese Schutzschicht wird häufig als sogenanntes „Cap“ bezeichnet und dient bei herkömmlichen Prozessen unter anderem als Hardmaske zur Gatestrukturierung und zum Schutz der Gatebahnen bei einem Ätzprozeß zur Erzeugung der Kontaktlöcher. Dazu muß nach dem Stand der Technik ein Trockenätzprozeß, welcher Oxid selektiv zu dem Cap-Material ätzt, eingesetzt werden. Da die zu ätzende Struktur im Stand der Technik ein hohes Aspektverhältnis aufweist, ist die Selektivität des Ätzprozesses nicht sehr hoch und es muß ein relativ dickes „Cap“ verwendet werden, um einen Kurzschluß zwischen der Gatebahn und dem Kontakt zu vermeiden.

Da bei den erfindungsgemäßen Verfahren die Bildung des Kontakts bereits in einem sehr frühen Stadium vorgenommen bzw. vorbereitet wird, dient das „Cap“ nun nur zur Isolation der Gatebahn gegenüber dem Kontakt und kann daher relativ

dünn gewählt werden. Dementsprechend kann das „Cap“ in späteren Prozeßschritten, beispielsweise bei der Ätzung eines Nitrid-Spacers, ohne zusätzliche Prozeßschritte vollständig von den Gatebahnen im ersten Bereich entfernt werden, was die

5 Möglichkeit eröffnet, verschiedene Gatebahnen mit unterschiedlichen Dotierstoffen zu dotieren und so sogenannte Dual-Workfunction-Gates aufzubauen. Weiterhin können die Gatebahnen auf diese Weise silizidiert werden, wodurch der Widerstand der Gatebahnen deutlich gesenkt wird.

10

Weiterhin ist es bevorzugt, wenn in dem ersten Bereich des Halbleitersubstrats die Gatebahnen mit Dotierstoffen unterschiedlicher Leitfähigkeitstypen dotiert werden. Durch diese sogenannten Dual-Workfunction-Gates können sehr leistungsfähige Logikschaltungen aufgebaut werden. Auf diese Weise kann auch die Versorgungsspannung reduziert werden, ohne daß es zu Einbußen bei der Schaltgeschwindigkeit kommt.

20 Zur Verringerung der Widerstände der Gatebahnen ist es bevorzugt, wenn auf den Gatebahnen in dem ersten Bereich des Halbleitersubstrats Silizidschichten erzeugt werden. Insbesondere ist es bevorzugt, wenn als Silizidschichten CoSi_2 , TaSi_2 , TiSi_2 oder WSi_x verwendet und diese Silizidschichten durch ein Salicide-Verfahren erzeugt werden.

25

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen:

30 Fig. 1 - 8 ein Verfahren nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 9 - 12 ein Verfahren nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung,

35

Fig. 13 - 18 ein Verfahren nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung,

Die Figuren 1 - 8 zeigen ein Verfahren nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung. Auf einem Siliziumsubstrat 1 wurde eine dünne Siliziumoxidschicht erzeugt. Dieses Siliziumoxidschicht, welche in der Fig. 1 nicht gezeigt ist, dient im weiteren Verlauf des Verfahrens als Gateoxid. Dabei können je nach Anwendung in unterschiedlichen Bereichen des Siliziumsubstrats unterschiedlich dicke Siliziumoxidschichten verwendet werden. Auf der Siliziumoxidschicht ist eine Polysiliziumschicht 2 angeordnet. Bei dieser Ausführungsform der vorliegenden Erfindung wurde die Polysiliziumschicht 2 als undotierte Polysiliziumschicht abgeschieden, welche nachfolgend mit Hilfe einer Phototechnik dotiert wird. Über der Polysiliziumschicht 2 ist eine Siliziumnitridschicht 3 angeordnet. Die Dicke der Siliziumnitridschicht 3 beträgt dabei nach der Gatestrukturierung etwa 50 nm. Diese Schicht dient im weiteren Verlauf des Verfahrens als sogenanntes „Cap-Nitrid“.

Vor Erzeugung der Siliziumoxidschicht wurden in dem Siliziumsubstrat eine n-Wanne 4 bzw. p-Wannen 5, 6 erzeugt. Die einzelnen Wannen sind durch Isolationen 7 voneinander getrennt. Im vorliegenden Beispiel sind diese Isolationen 7 als sogenannte flache Grabenisolationen („Shallow-Trench-Isolation) ausgebildet. Auf der linken Seite der Fig. 1 ist der erste Bereich 8 des Siliziumsubstrats 1 angeordnet. In diesem ersten Bereich 8 werden später die Transistoren hergestellt werden, aus denen die Logikschaltung aufgebaut ist. Auf der rechten Seite der Fig. 1 ist der zweiten Bereich 9 des Siliziumsubstrats 1 angeordnet. In diesem zweiten Bereich 9 werden später die Transistoren hergestellt werden, die als Auswahltransistoren in den Speicherzellen dienen.

Anschließend werden durch eine Phototechnik die Siliziumnitridschicht 3 und die Polysiliziumschicht 2 zu Gatebahnen strukturiert. Es folgt eine Reoxidation des Gateoxids, um

mögliche Defekte, die bei der Ätzung der Siliziumnitridschicht 3 und der Polysiliziumschicht 2 aufgetreten sind, zu beheben. Zur Erzeugung der sogenannten Source/Draingegebiete 11 der n-Kanal Transistoren wird nun mit einer Phototechnik 5 Phosphor in das Siliziumsubstrat implantiert. Nach dieser Implantation wird eine weitere Siliziumnitridschicht abgeschieden und durch eine anisotrope Ätzung strukturiert. Durch diese Ätzung entstehen erste isolierende Abstandshalter, sogenannte „Spacer“ 12, an den Seitenwänden der Gatebahnen 10. 10 Nach Erzeugung der Spacer 12 wird Bor mit einer Phototechnik in das Siliziumsubstrat implantiert, so daß auch die p-Kanal Transistoren erzeugt werden können. Anschließend wird eine weitere Siliziumnitridschicht 13 abgeschieden. Die sich daraus ergebende Situation ist in Fig. 2 gezeigt.

15

Die Transistoren, die in dem zweiten Bereich 9 des Siliziumsubstrats 1 erzeugt werden, dienen als Auswahltransistoren in den Speicherzellen. Die Kondensatoren der Speicherzellen, die in dem vorliegenden Beispiel als Grabenkondensatoren 20 ausgebildet sind, sind aus Gründen der Übersichtlichkeit in den Figuren nicht gezeigt. In dem zweiten Bereich 9 des Siliziumsubstrats 1 kommt es vor allem auf eine hohe Integrationsdichte an. Um diese hohe Integrationsdichte erzielen zu können, wird eine Lackmaske erzeugt, die an den Stellen ge- 25 öffnet ist, an denen später die Source/Drain-Anschlüsse, d.h. die Anschlüsse für die Bitleitungen, der Auswahltransistoren erzeugt werden. Durch eine anisotrope Ätzung wird die Siliziumnitridschicht 13 in der Öffnung 14 der Maske 15 entfernt und so daß die Source/Draingegebiete 11 der Auswahltransistoren 30 freigelegt werden. Der erste Bereich 8 des Siliziumsubstrats 1 ist dabei durch die Lackmaske 15 geschützt und erfährt somit keine Veränderung. Anschließend wird die Lackmaske 15 entfernt und eine weitere Polysiliziumschicht 16 abgeschieden. Bei dieser Polysiliziumschicht 16 handelt es sich um ei- 35 ne dotierte Polysiliziumschicht. Die sich daraus ergebende Situation ist in Fig. 4 gezeigt.

Mit Hilfe einer weiteren Phototechnik wird nun die Polysiliziumschicht 16 strukturiert. Dabei wird die Polysiliziumschicht 16 aus dem ersten Bereich 8 des Siliziumsubstrats 1 vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht 16 bildet im zweiten Bereich 9 des Siliziumsubstrats zu ein sogenanntes „Landing Pad“ 17. Die sich daraus ergebende Situation ist in Fig. 5 gezeigt.

10 Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird dieses Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. Durch die Abfolge dieser 15 Spacer 12 und 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats und geeignet gewählte Dotierstoffimplantationen können die Source/Draingegebiete 11 der Transistoren im ersten Bereich 8 so eingestellt werden, daß Transistoren mit sehr kurzen Schaltzeiten hergestellt werden können. Dementsprechend können sehr leistungsfähige 20 Logikschaltungen aufgebaut werden. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund der Polysiliziumschicht 16 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dementsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren 25 auch keine Siliziumoxid-Spacer 18 erzeugt. Die dadurch eingesparte Fläche zwischen den Gatebahnen der Auswahltransistoren kann genutzt werden, um die Gatebahnen entsprechend enger anzuzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

30

Durch eine weitere Ätzung wird auch der noch verbliebene Teil der Siliziumnitridschicht 3 auf den Gatebahnen 10 in dem ersten Bereich 8 des Siliziumsubstrats entfernt. Dies ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu 35 herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert wer-

den. Auch eine unterschiedliche Dotierung der verschiedenen Gatebahnen 10 ist auf einfache Art möglich („Dual-Workfunction-Gates“). Auf diese Weise können sehr schnelle Logikschaltungen erzeugt werden. Die sich daraus ergebende 5 Situation ist in Fig. 6 gezeigt.

Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgesputtert. Durch eine Wärmebehandlung kommt auf den freiliegenden Sili-10 ziumgebieten, nämlich den Gatebahnen im ersten Bereich sowie den freiliegenden Source/Draingegebieten, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch 15 einfach wieder entfernt werden kann. Das Ergebnis sind selektive und selbstjustierte Silizidschichten 19 auf den Gatebahnen im ersten Bereich 8 und den freiliegenden Sour- ce/Draingegebieten 11 („Salicide-Verfahren“). Durch die Sili-20 zidschichten 19 wird der Widerstand der Gatebahnen 10 deutlich herabgesetzt, was sich positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt. Weiterhin wird durch die Silizierung der Source/Draingegebiete 11 der Kontaktwiderstand deutlich gesenkt, was sich ebenfalls positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt.

25 Anschließend wird eine dünne Siliziumnitridschicht abgeschieden, welche als Barriere dient. Aus Gründen der Übersichtlichkeit ist diese dünne Siliziumnitridschicht nicht gezeigt. Es folgt die Abscheidung einer BPSG-Schicht 20, welche durch einen CMP Schritt planarisiert wird. Vor dem CMP 30 Schritt wird eine Wärmebehandlung durchgeführt, damit die BPSG-Schicht 20 die Zwischenräume zwischen den Transistoren möglichst gut ausfüllen kann. Die sich daraus ergebende Si- tuation ist in Fig. 7 gezeigt.

35 Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat 1 als auch zu den Gate-

bahnungen 10. In dem zweiten Bereich 9 des Siliziumsubstrats wird das Kontaktloch zu der Polysiliziumschicht 16 geführt, die als Landing Pad 17 dient. Nach Abscheidung eines sogenannten Liners (nicht gezeigt) werden die Kontaktlöcher mit 5 Wolfram aufgefüllt und ein CMP-Schritt durchgeführt, um Wolfram außerhalb der Kontaktlöcher von der Substratoberfläche zu entfernen.

Zur vollständigen Herstellung der integrierten Schaltung 10 werden nachfolgend, mit einer Reihe an sich bekannter Schritte, die Metallisierung sowie die Passivierung aufgebaut. Das erfindungsgemäße Verfahren besitzt den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Darüber hinaus können durch 15 einen geringen Mehraufwand die Eigenschaften der Transistoren im ersten Bereich des Halbleitersubstrats deutlich verbessert werden (Silizierung, Dual-Workfunction-Gates). Daher ermöglicht die vorliegende Erfindung beispielsweise die kostengünstige Herstellung von sogenannten „embedded DRAM-Produkten“.

20

Die Figuren 9 - 12 zeigen ein Verfahren nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Die ersten Schritte dieses Verfahren stimmen dabei mit denen in den Figuren 1 bis 4 gezeigten Schritten überein und sollen daher 25 nicht mehr wiederholt werden.

Im Gegensatz zu dem ersten Ausführungsbeispiels der vorliegenden Erfindung wird nun jedoch eine relativ dicke Polysiliziumschicht abgeschieden. Mit Hilfe einer weiteren Phototechnik wird die Polysiliziumschicht strukturiert. Dabei wird wiederum die Polysiliziumschicht aus dem ersten Bereich des Siliziumsubstrats vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht bildet im zweiten Bereich des Siliziumsubstrat den vollständigen Kontakt 24. Die sich daraus ergebende Situation ist in Fig. 9 gezeigt.

Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird dieses Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund des Kontakts 24 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dementsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren auch keine Siliziumoxid-Spacer 18 erzeugt. Der dadurch einsparte Fläche zwischen den Gatebahnen 10 der Auswahltransistoren kann genutzt werden, um die Gatebahnen 10 entsprechend enger anzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

15

Durch eine weitere Ätzung wird auch der verbleibende Teil der Siliziumnitridschicht 3 auf den Gatebahnen 19 in dem ersten Bereich 8 sowie teilweise im zweiten Bereich 9 des Siliziumsubstrats entfernt. Dies ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert werden. Auch eine unterschiedliche Dotierung der verschiedenen Gatebahnen 10 ist auf einfache Art möglich („Dual-Workfunction-Gates“). Auf diese Weise können sehr schnelle Logikschaltungen erzeugt werden. Die sich daraus ergebende Situation ist in Fig. 10 gezeigt.

Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgeputtert. Durch eine Wärmebehandlung kommt auf den freiliegenden Siliziumgebieten, nämlich den Gatebahnen 10 sowie den freiliegenden Source/Draingegebieten 11, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch einfach wieder entfernt werden kann. Das Ergebnis sind selektive und selbstjustierte Silizidschichten 19 auf den Gatebahnen 10 und den

freiliegenden Source/Draingegebieten 11 („Salicide-Verfahren“). Durch die Silizidschichten 19 wird der Widerstand der Gatebahnen 10 deutlich herabgesetzt, was sich positiv auf die Leistungsfähigkeit der Logikschaltung sowie der Wortleitungen 5 im Zellenfeld auswirkt. Weiterhin wird durch die Silizierung der Source/Draingegebiete 11 der Kontaktwiderstand deutlich gesenkt, was sich ebenfalls positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt.

10 Anschließend wird eine dünne Siliziumnitridschicht abgeschieden, welche als Barriere dient. Aus Gründen der Übersichtlichkeit ist diese dünne Siliziumnitridschicht nicht gezeigt. Es folgt die Abscheidung einer BPSG-Schicht 20, welche einer Wärmebehandlung unterzogen wird, damit die BPSG-Schicht 15 20 die Zwischenräume zwischen den Transistoren möglichst gut ausfüllen kann. Anschließend wird die BPSG-Schicht 20 durch einen CMP Schritt planarisiert. Dabei wird der CMP-Schritt so durch geführt, daß der Kontakt 24 freigelegt wird. Es braucht somit nur die erste Metallisierungsschicht abgeschieden zu 20 werden, um eine leitende Verbindung zu den Source/Draingegebieten der Auswahltransistoren im Speicherzellenfeld herzustellen. Die sich daraus ergebende Situation ist in Fig. 11 gezeigt.

25 Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat der übrigen Transistoren als auch zu den Gatebahnen 10. Nach Abscheidung eines so- 30 genannten Liners (nicht gezeigt) werden die Kontaktlöcher mit Wolfram aufgefüllt und ein CMP-Schritt durchgeführt, um Wolfram außerhalb der Kontaktlöcher 21 von der Substratoberfläche zu entfernen. Die sich daraus ergebende Situation ist in Fig. 12 gezeigt.

35 Zur vollständigen Herstellung der integrierten Schaltung werden wiederum, mit einer Reihe an sich bekannter Schritte, die Metallisierung sowie die Passivierung aufgebaut. Auch

dieses erfindungsgemäße Verfahren besitzt den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Darüber hinaus können durch einen geringen Mehraufwand die Eigenschaften der Transistoren im ersten Bereich des Halbleitersubstrats deutlich verbessert werden (Silizierung, Dual-Workfunction-Gates).

Die Figuren 13 bis 18 zeigen ein Verfahren nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung. Im Gegensatz zu dem ersten Ausführungsbeispiels der vorliegenden Erfindung dient nun jedoch die Polysiliziumschicht nicht als Landing Pad sondern als sogenannter Opferkontakt („sacrificial contact“).

Auf einem Siliziumsubstrat 1 wurde eine dünne Siliziumoxidschicht erzeugt. Dieses Siliziumoxidschicht, welche in der Fig. 13 nicht gezeigt ist, dient im weiteren Verlauf des Verfahrens als Gateoxid. Auf der Siliziumoxidschicht ist eine Polysiliziumschicht 2 angeordnet. Bei dieser Ausführungsform der vorliegenden Erfindung wurde die Polysiliziumschicht 2 als undotierte Polysiliziumschicht abgeschieden, welche nachfolgend mit Hilfe einer Phototechnik dotiert wird. Über der Polysiliziumschicht 2 ist eine Siliziumnitridschicht 3 angeordnet. Die Dicke der Siliziumnitridschicht 3 beträgt dabei etwa 50 nm.

Vor Erzeugung der Siliziumoxidschicht wurden in dem Siliziumsubstrat eine n-Wanne 4 bzw. p-Wannen 5, 6 erzeugt. Die einzelnen Wannen sind durch Isolationen 7 voneinander getrennt. Im vorliegenden Beispiel sind diese Isolationen 7 als sogenannte flache Grabenisolationen („Shallow-Trench-Isolation“) ausgebildet. Das Siliziumsubstrat ist wiederum in einen ersten und einen zweiten Bereich aufgeteilt.

Anschließend werden durch eine Phototechnik die Siliziumnitridschicht 3 und die Polysiliziumschicht 2 zu Gatebahnen 10 strukturiert. Es folgt eine Reoxidation des Gateoxids, um

mögliche Defekte, die bei der Ätzung der Siliziumnitridschicht 3 und der Polysiliziumschicht 2 aufgetreten sind, zu beheben. Zur Erzeugung der sogenannten Source/Draingegebiete 11 der n-Kanal Transistoren wird nun mit einer Phototechnik

- 5 Phosphor in das Siliziumsubstrat implantiert. Nach dieser Implantation wird eine weitere Siliziumnitridschicht abgeschieden und durch eine anisotrope Ätzung strukturiert. Durch diese Ätzung entstehen erste isolierende Abstandshalter, sogenannte „Spacer“ 12, an den Seitenwänden der Gatebahnen 10.
- 10 Nach Erzeugung der Spacer 12 wird Bor mit einer Phototechnik in das Siliziumsubstrat implantiert, so daß auch die p-Kanal Transistoren erzeugt werden können. Anschließend wird eine weitere Siliziumnitridschicht 13 abgeschieden. Die sich daraus ergebende Situation ist in Fig. 14 gezeigt.

15

- Anschließend wird eine weitere Polysiliziumschicht 16 abgeschieden. Bei dieser Polysiliziumschicht 16 handelt es sich um eine undotierte Polysiliziumschicht, welche später den Opferkontakt bilden wird. Die sich daraus ergebende Situation
- 20 ist in Fig. 15 gezeigt.

- Mit Hilfe einer weiteren Phototechnik wird nun die Polysiliziumschicht 16 strukturiert. Dabei wird die Polysiliziumschicht 16 aus dem ersten Bereich 8 des Siliziumsubstrats 1 vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht 16 bildet im zweiten Bereich 9 des Siliziumsubstrats den Opferkontakt 25. Die sich daraus ergebende Situation ist in Fig. 16 gezeigt.

- 30 Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird dieses Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. Durch die Abfolge dieser
- 35 Spacer 12 und 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats und geeignet gewählte Dotierstoffimplantationen können die Source/Draingegebiete 11

der Transistoren im ersten Bereich 8 so eingestellt werden, daß Transistoren mit sehr kurzen Schaltzeiten hergestellt werden können. Dementsprechend können sehr leistungsfähige Logikschaltungen aufgebaut werden. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund Opferkontakte 25 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dementsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren auch keine Siliziumoxid-Spacer 18 erzeugt. Der dadurch einsparte Fläche zwischen den Gatebahnen der Auswahltransistoren kann genutzt werden, um die Gatebahnen entsprechend enger anzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

15 Durch eine weitere Ätzung wird auch der verbleibende Teil der Siliziumnitridschicht 3 auf den Gatebahnen 10 in dem ersten Bereich 8 des Siliziumsubstrats entfernt. Dies ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch 20 die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert werden. Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgeputtert. Durch eine Wärmebehandlung kommt auf den freiliegenden Siliziumgebieten, 25 nämlich den Gatebahnen 10 im ersten Bereich 8 sowie den freiliegenden Source/Draingegebieten 11, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch einfach wieder entfernt werden kann. Das Ergebnis sind selektive und 30 selbstjustierte Silizidschichten 19 auf den Gatebahnen 10 im ersten Bereich und den freiliegenden Source/Draingegebieten 11 („Salicide-Verfahren“).

35 Es folgt die Abscheidung einer BPSG-Schicht 20, welche durch einen CMP Schritt planarisiert wird. Vor dem CMP Schritt wird eine Wärmebehandlung durchgeführt, damit die BPSG-Schicht 20 die Zwischenräume zwischen den Transistoren

möglichst gut ausfüllen kann. Die sich daraus ergebende Situation ist in Fig. 17 gezeigt.

Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat als auch zu den Gatebahnen 10. In dem zweiten Bereich 9 des Siliziumsubstrats wird das Kontaktloch zu dem Opferkontakt 25 geführt. Mit einer trocken- oder naßchemischen Ätzung wird ein Teil des Opferkontakts 25 und die noch verbliebene Siliziumnitridschicht 13 entfernt, so daß nun Raum für den eigentlichen Kontakt vorhanden ist. Diese Ätzung des Opferkontakts 25 kann mit hoher Selektivität gegenüber dem umliegenden Material durchgeführt werden.

15

Es folgt wiederum Abscheidung eines sogenannten Liners (nicht gezeigt) und die Abscheidung einer Wolframschicht, die dazu dient, die Kontaktlöcher aufzufüllen. Mit einem weiteren CMP-Schritt wird das Wolfram, das sich außerhalb der Kontaktlöcher befindet, von der Substratoberfläche entfernt. Die sich daraus ergebende Situation ist in Fig. 18 gezeigt.

Durch die Verwendung des Opferkontakts 25 kann gegenüber der ersten Ausführungsform eine Maskenebene einspart werden, 25 weil die Siliziumnitridschicht 13 nicht durch eine Maske zwischen Auswahltransistoren im zweiten Bereich 9 entfernt werden muß.

Bezugszeichenliste

- 1 Siliziumsubstrat
- 2 Polysilizium
- 3 Siliziumnitridschicht
- 4 n-Wanne
- 5 p-Wanne
- 6 p-Wanne
- 7 Isolation
- 8 erster Bereich
- 9 zweiter Bereich
- 10 Gatebahn
- 11 Source/Draingegebiete
- 12 Spacer
- 13 Siliziumnitridschicht
- 14 Öffnung
- 15 Lackmaske
- 16 Polysilizium
- 17 Landing Pad
- 18 Spacer
- 19 Silizidschicht
- 20 BPSG-Schicht
- 21 Kontaktlöcher
- 22 ...
- 23 ...
- 24 Kontakt
- 25 Opferkontakt

Patentansprüche

1. Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den Schritten:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;
- b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;
- c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;
- d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingegebieten gebildet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

2. Verfahren nach Anspruch 1,

d a d u r c h g e k e n n z e i c h n e t ,
daß zur Bildung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Polysilizium verwendet wird.

3. Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den Schritten:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;

b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;

5 c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;

10 d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingegebieten vorbereitet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

15 4. Verfahren nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,
daß zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleiter-
substrats Landing Pads ausgebildet werden.

20 5. Verfahren nach Anspruch 4,
d a d u r c h g e k e n n z e i c h n e t ,
daß zur Bildung der Landing Pads Polysilizium verwendet
wird.

25 6. Verfahren nach Anspruch 3,
d a d u r c h g e k e n n z e i c h n e t ,
daß zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleiter-
substrats Opferkontakte ausgebildet werden.

30 7. Verfahren nach einem der vorherstehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t ,
daß die Abstandsstücke aus Siliziumoxid, Siliziumnitrid
oder Oxynitrid gebildet werden.

8. Verfahren nach einem der vorherstehenden Ansprüche, dadurch gekennzeichnet, daß die Gatebahnen gebildet werden, indem eine Polysiliziumschicht und eine Schutzschicht, insbesondere eine Siliziumnitrid-, Siliziumoxid- oder Oxynitridschicht, erzeugt und diese Schichten gemeinsam zu Gatebahnen strukturiert werden.
5
- 10 9. Verfahren nach Anspruch 8, dadurch gekennzeichnet, daß die Schutzschicht mit einer Dicke erzeugt wird, so daß nach der Gatestrukturierung die Schutzschicht eine Dicke von kleiner als 100 nm aufweist.
15
10. Verfahren nach einem der vorherstehenden Ansprüche, dadurch gekennzeichnet, daß in dem ersten Bereich des Halbleitersubstrats die Gatebahnen mit Dotierstoffen unterschiedlicher Leitfähigkeitsarten dotiert werden.
20
11. Verfahren nach einem der vorherstehenden Ansprüche, dadurch gekennzeichnet, daß auf den Gatebahnen in dem ersten Bereich des Halbleitersubstrats Silizidschichten erzeugt werden.
25
12. Verfahren nach Anspruch 11, dadurch gekennzeichnet, daß als Silizidschichten CoSi_2 , TaSi_2 , TiSi_2 oder WSi_x verwendet werden.
30
13. Verfahren nach Anspruch 11 oder 12, dadurch gekennzeichnet, daß die Silizidschichten durch ein Salicide-Verfahren erzeugt werden.
35
14. Halbleiterbauelement,

d a d u r c h g e k e n n z e i c h n e t ,
daß das Halbleiterbauelement mit einem Verfahren gemäß
einem der vorherstehenden Ansprüche herstellbar ist.

1/9

FIG 1

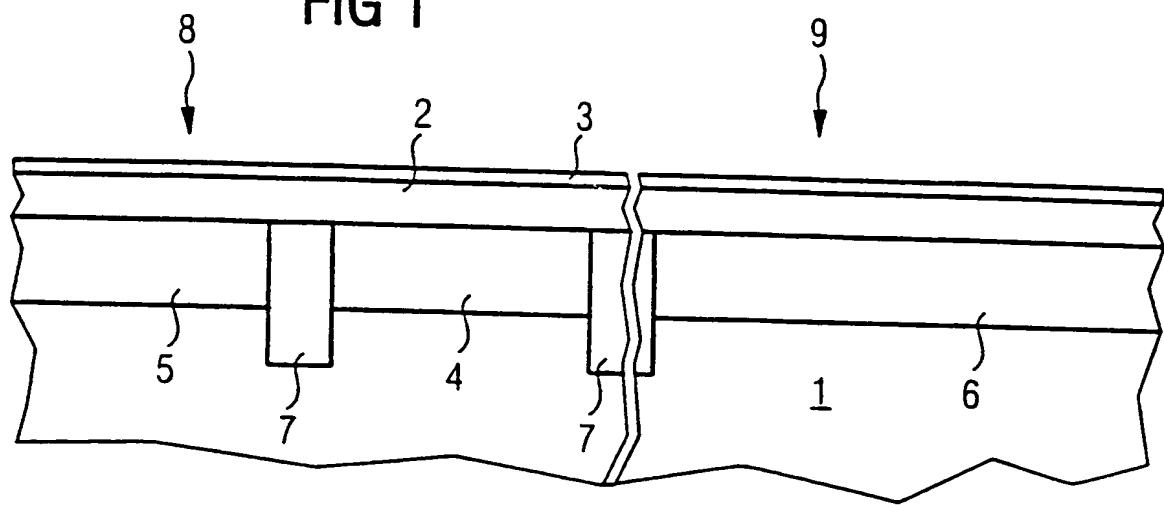
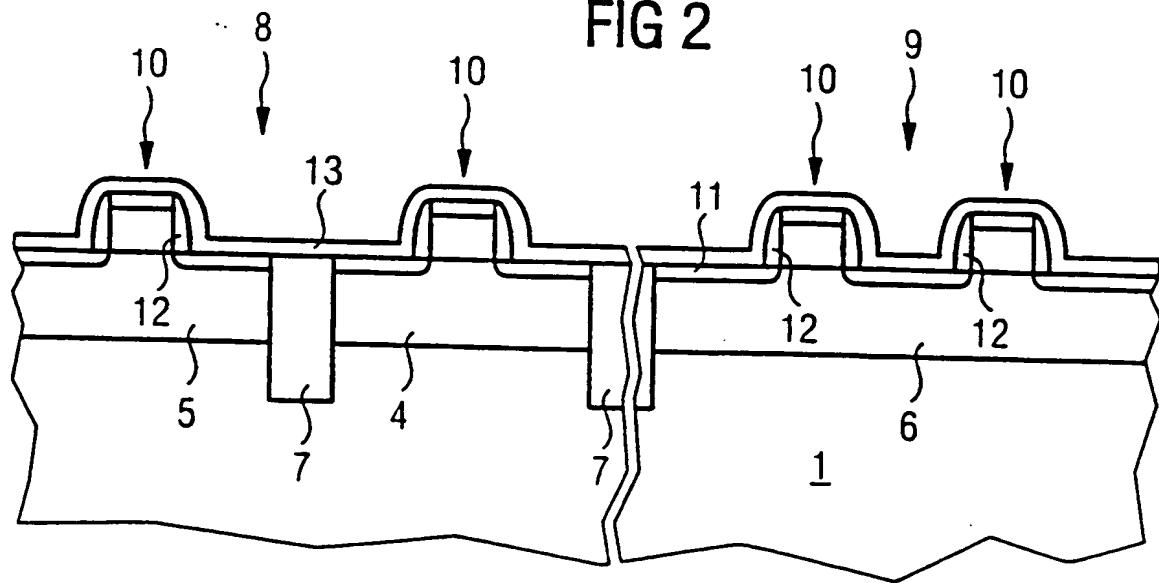


FIG 2



2/9

FIG 3

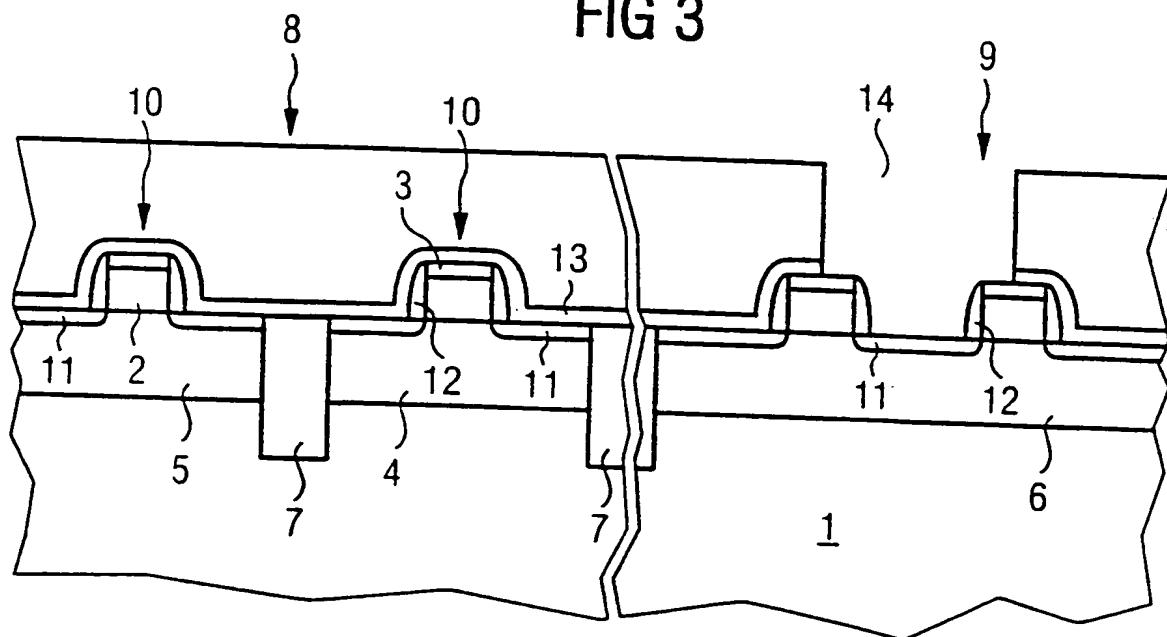
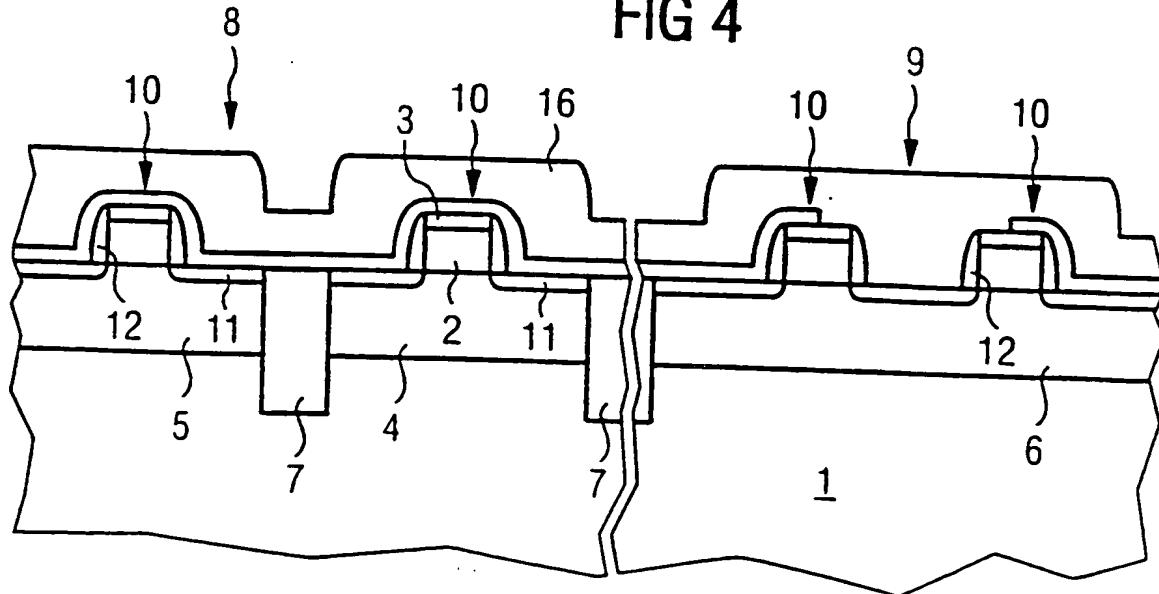


FIG 4



3/9

FIG 5

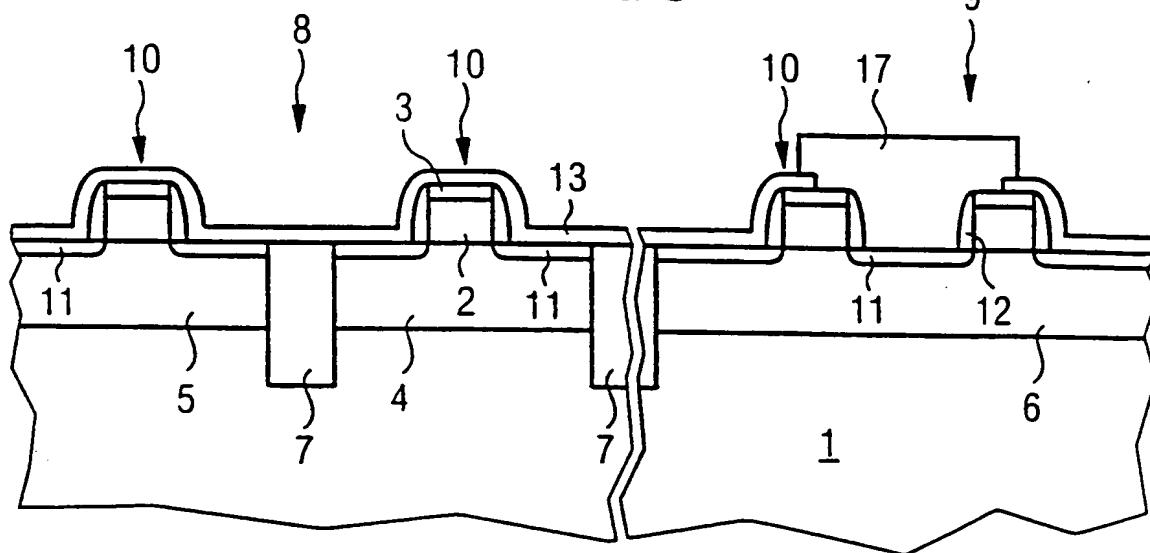
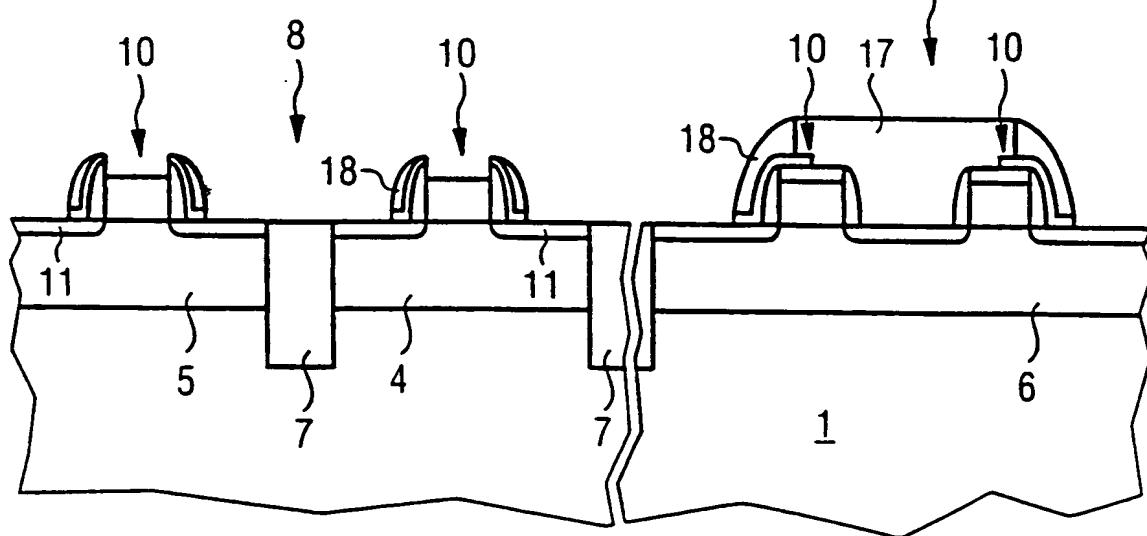


FIG 6



4/9

FIG 7

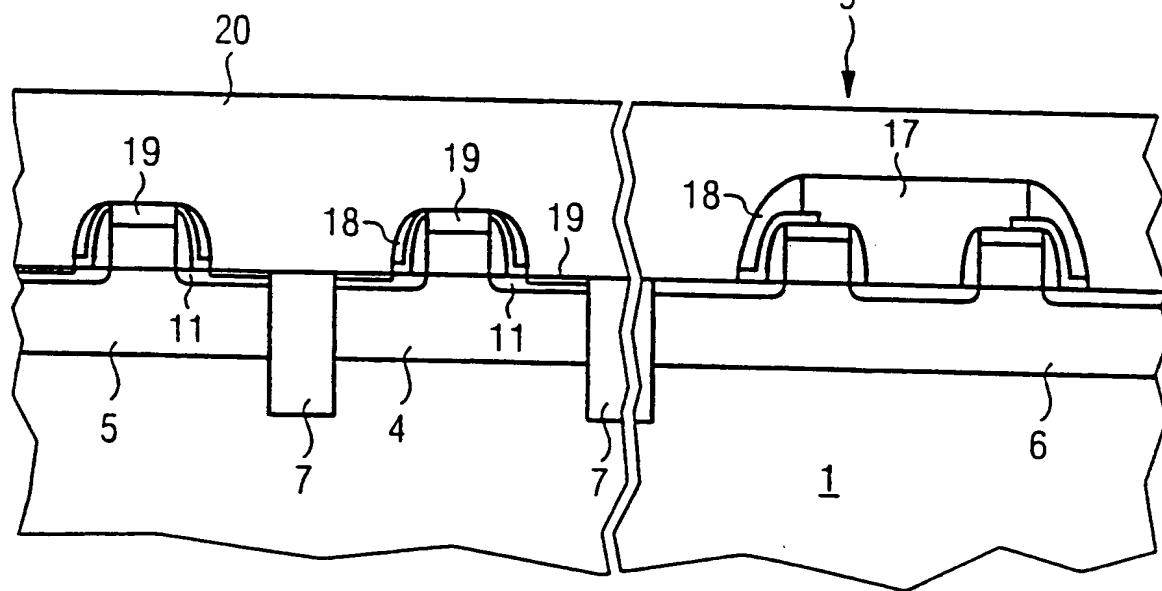
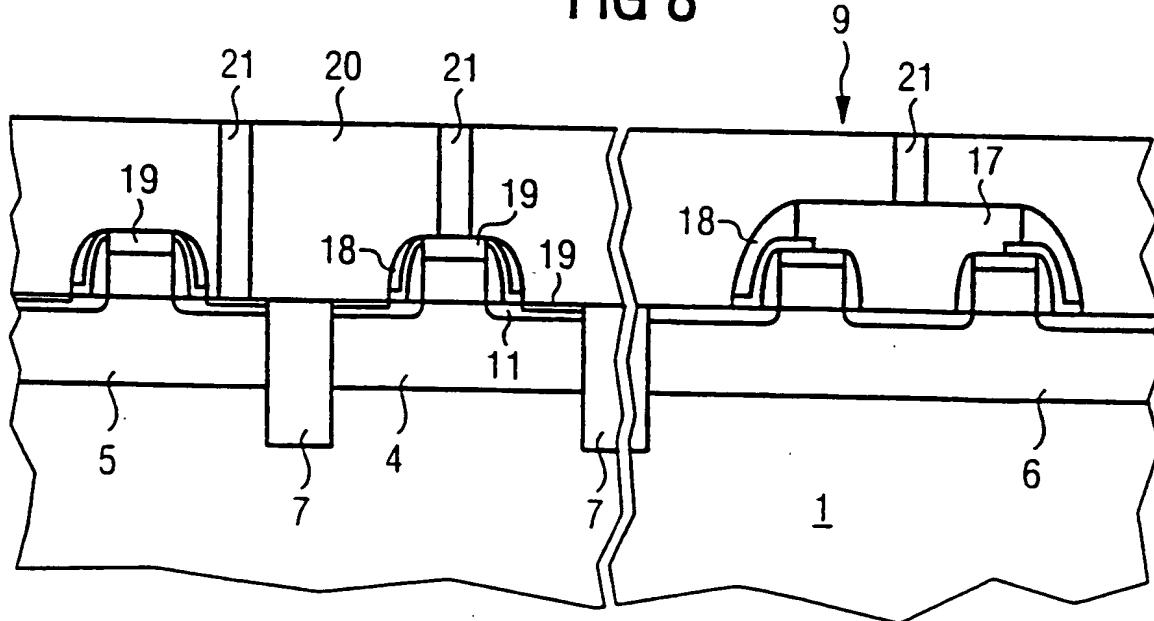


FIG 8



5/9

FIG 9

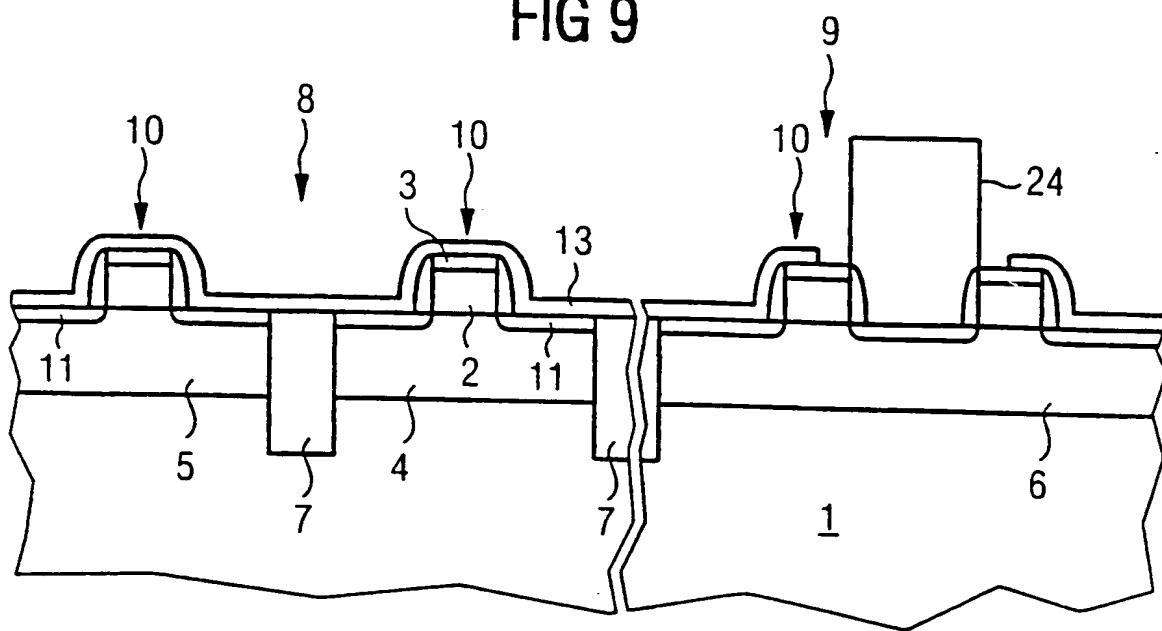
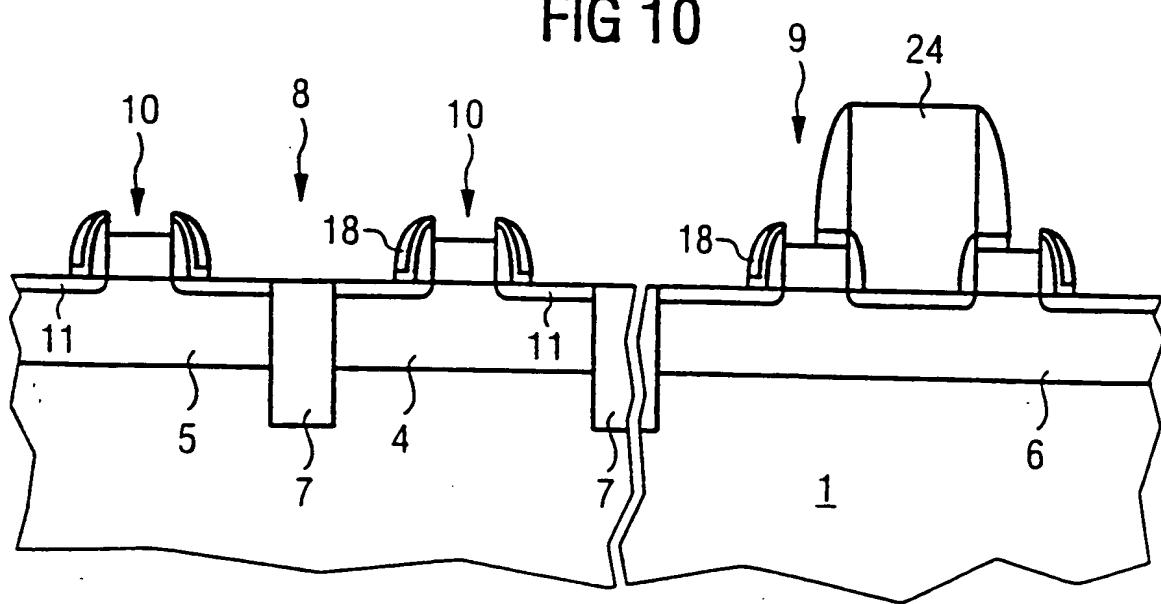


FIG 10



6/9

FIG 11

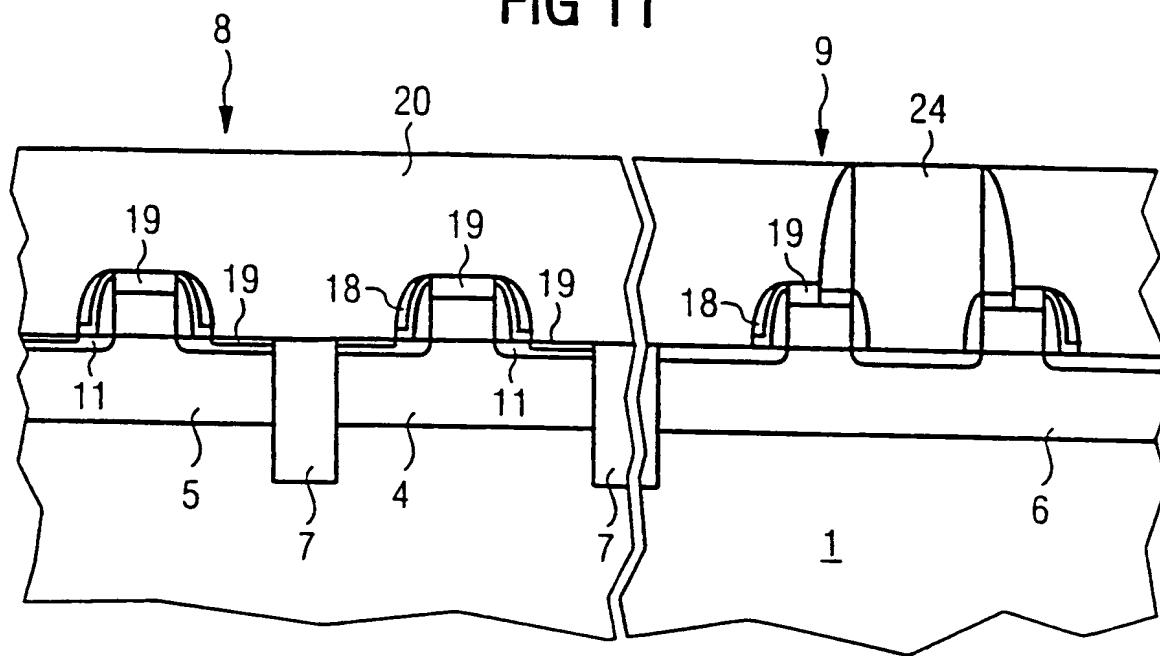
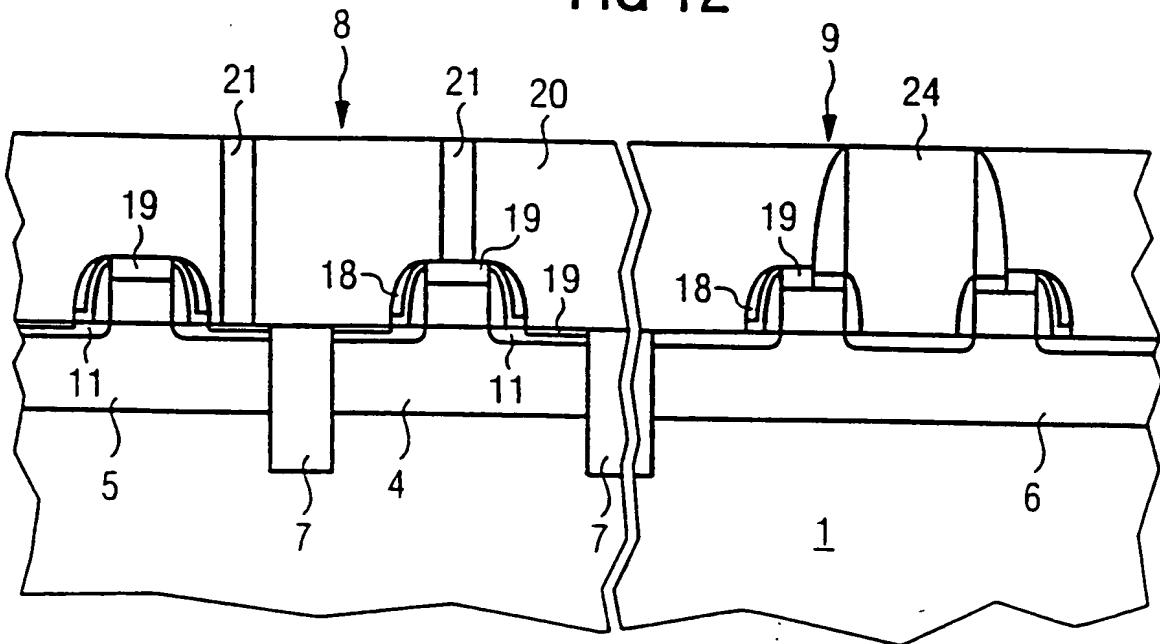


FIG 12



7/9

FIG 13

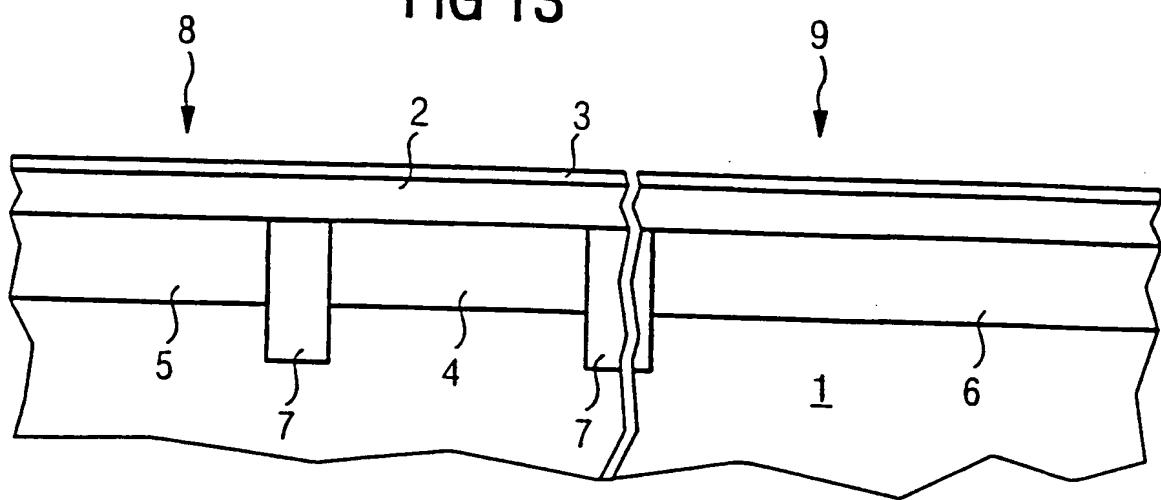
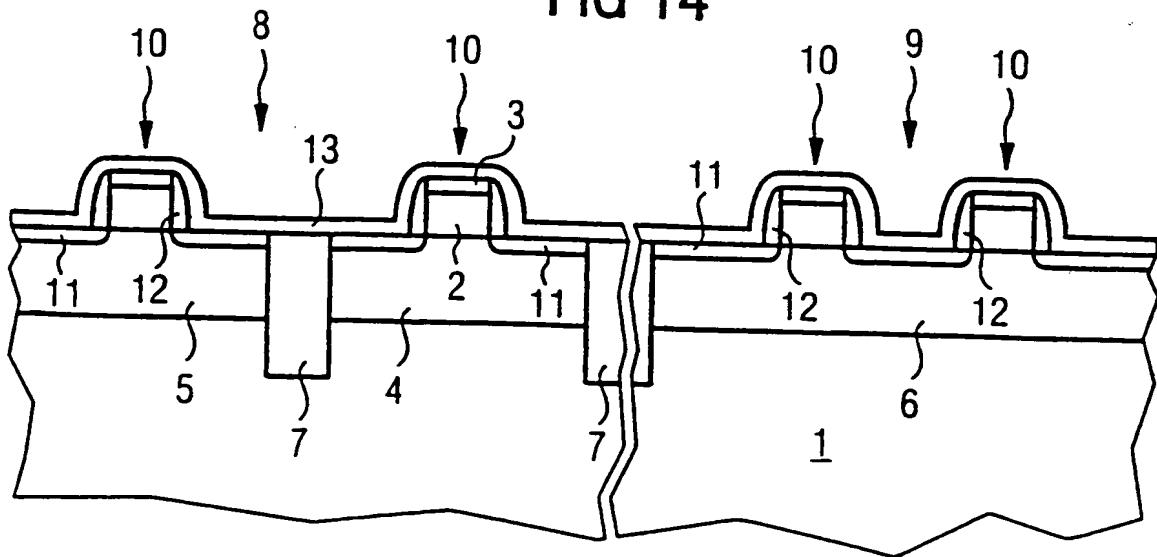


FIG 14



8/9

FIG 15

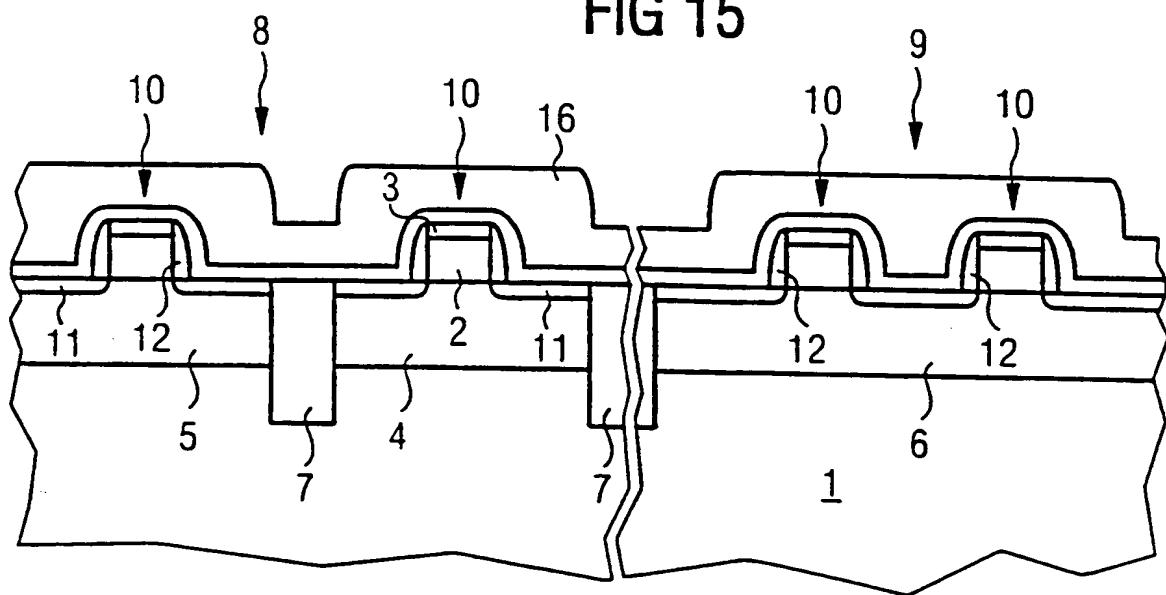
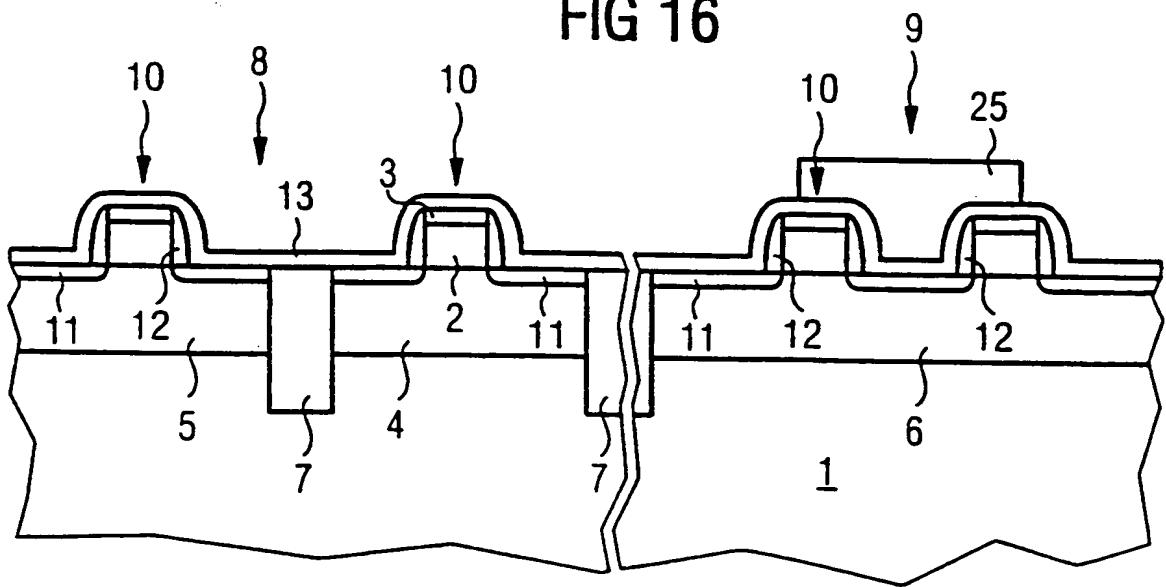


FIG 16



9/9

FIG 17

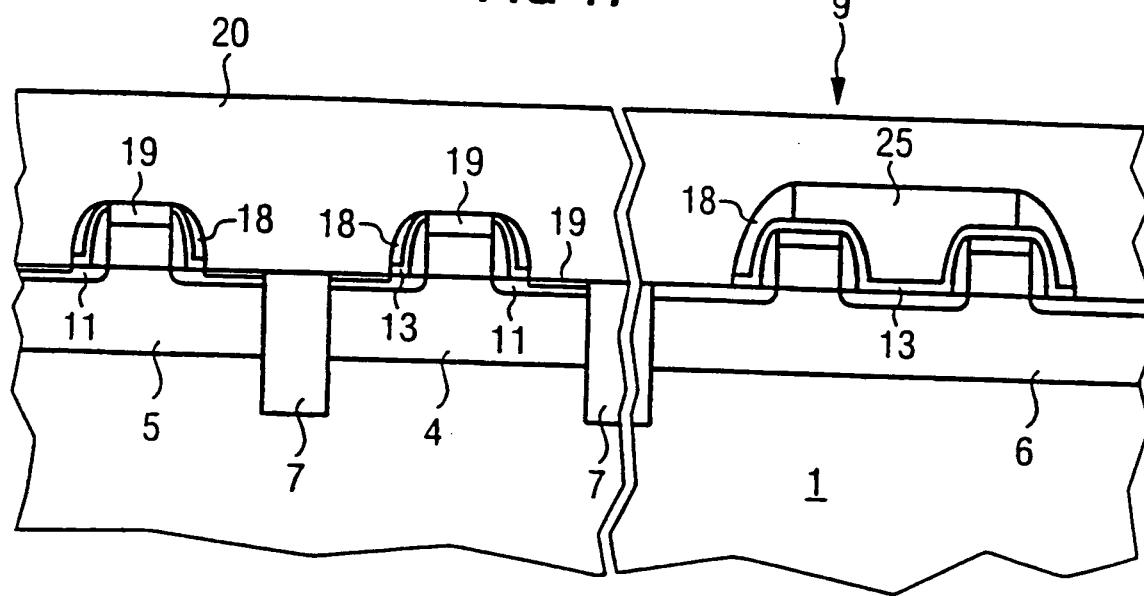
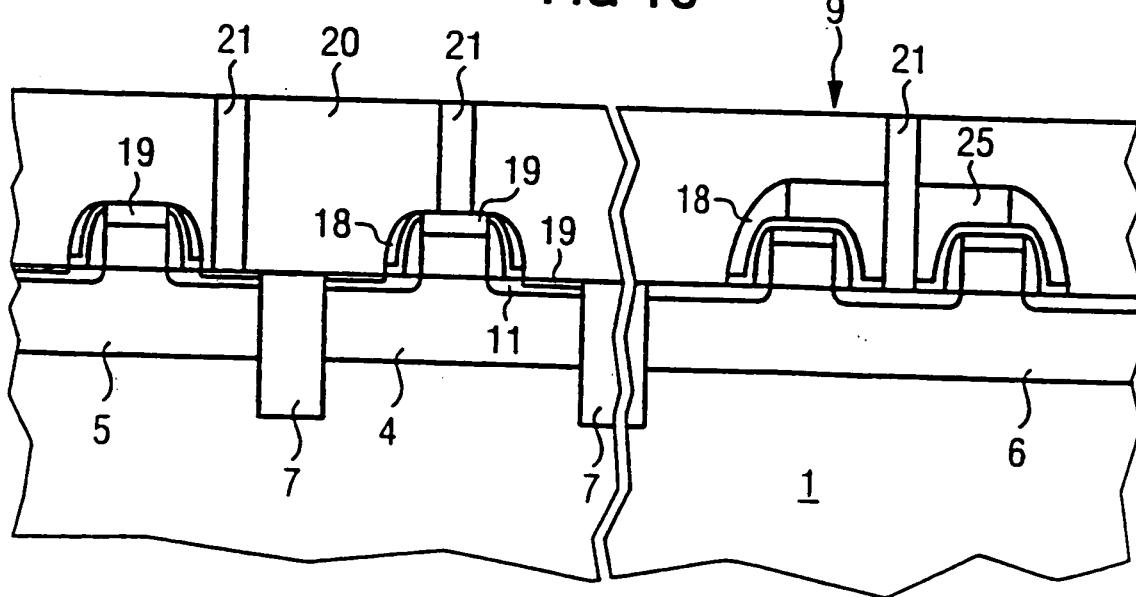


FIG 18



**VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT
AUF DEM GEBIET DES PATENTWESENS**

PCT

INTERNATIONALER RECHERCHENBERICHT

(Artikel 18 sowie Regeln 43 und 44 PCT)

Aktenzeichen des Annehmers oder Anwalts GR 99 P 2439 P	WEITERES VORGEHEN siehe Mitteilung über die Übermittlung des Internationalen Recherchenberichts (Formblatt PCT/ISA/220) sowie, soweit zutreffend, nachstehender Punkt 5	
Internationales Aktenzeichen PCT/DE 99/ 02339	Internationales Anmelde datum (Tag/Monat/Jahr) 29/07/1999	(Frühestes) Prioritätsdatum (Tag/Monat/Jahr)
Annehmer SIEMENS AKTIENGESELLSCHAFT et al.		

Dieser Internationale Recherchenbericht wurde von der Internationalen Recherchenbehörde erstellt und wird dem Annehmer gemäß Artikel 18 übermittelt. Eine Kopie wird dem Internationalen Büro übermittelt.

Dieser Internationale Recherchenbericht umfasst insgesamt 3 Blätter.

Darüber hinaus liegt Ihnen jeweils eine Kopie der in diesem Bericht genannten Unterlagen zum Stand der Technik bei.

1. Grundlage des Berichts

- a. Hinsichtlich der Sprache ist die Internationale Recherche auf der Grundlage der Internationalen Anmeldung in der Sprache durchgeführt worden, in der sie eingereicht wurde, sofern unter diesem Punkt nichts anderes angegeben ist.
- Die Internationale Recherche ist auf der Grundlage einer bei der Behörde eingereichten Übersetzung der Internationalen Anmeldung (Regel 23.1 b)) durchgeführt worden.
- b. Hinsichtlich der in der Internationalen Anmeldung offenbarten Nucleotid- und/oder Aminosäuresequenz ist die Internationale Recherche auf der Grundlage des Sequenzprotokolls durchgeführt worden, das
- in der Internationalen Anmeldung in Schriftlicher Form enthalten ist.
- zusammen mit der Internationalen Anmeldung in computerlesbarer Form eingereicht worden ist.
- bei der Behörde nachträglich in schriftlicher Form eingereicht worden ist.
- bei der Behörde nachträglich in computerlesbarer Form eingereicht worden ist.
- Die Erklärung, daß das nachträglich eingereichte schriftliche Sequenzprotokoll nicht über den Offenbarungsgehalt der Internationalen Anmeldung im Anmeldezeitpunkt hinausgeht, wurde vorgelegt.
- Die Erklärung, daß die in computerlesbarer Form erfaßten Informationen dem schriftlichen Sequenzprotokoll entsprechen, wurde vorgelegt.

2. Bestimmte Ansprüche haben sich als nicht recherchierbar erwiesen (siehe Feld I).

3. Mangelnde Einheitlichkeit der Erfindung (siehe Feld II).

4. Hinsichtlich der Bezeichnung der Erfindung

- wird der vom Annehmer eingereichte Wortlaut genehmigt.
- wurde der Wortlaut von der Behörde wie folgt festgesetzt:

5. Hinsichtlich der Zusammenfassung

- wird der vom Annehmer eingereichte Wortlaut genehmigt.
- wurde der Wortlaut nach Regel 38.2b) in der in Feld III angegebenen Fassung von der Behörde festgesetzt. Der Annehmer kann der Behörde innerhalb eines Monats nach dem Datum der Absendung dieses Internationalen Recherchenberichts eine Stellungnahme vorlegen.

6. Folgend Abbildung der Zeichnungen ist mit der Zusammenfassung zu veröffentlichen: Abb. Nr. 8

- wie vom Annehmer vorgeeschlagen
- weil der Annehmer selbst keine Abbildung vorgeschlagen hat.
- weil diese Abbildung die Erfindung besser kennzeichnet.
- keine der Abb.

Feld III

WORTLAUT DER ZUSAMMENFASSUNG (Fortsetzung von Punkt 5 auf Blatt 1)

Die Zusammenfassung ist wie folgt geändert:

Zeile 3: nach "Speicherzellenfeld" ist "(9)" einzufügen
Zeile 4: nach "kontakte" ist "(17)" einzufügen
Zeile 5: nach "Bereich" ist "(9)" einzufügen
Zeile 6: nach "Abstandstücke" ist "(12,13,18)" einzufügen.

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

DE 99/02339

A. KLASSEIFIZIERUNG DES ANMELDUNGS GEGENSTANDES

IPK 7 H01L21/8242

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierte Mindestpräzision (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestpräzision gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der Internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 856 219 A (MATSUSHITA ELECTRIC INDUSTRIAL CO LTD) 5. Januar 1999 (1999-01-05) das ganze Dokument	1-14
X	US 5 240 872 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 31. August 1993 (1993-08-31) Zusammenfassung; Abbildungen 4A-4J	1-14
X	EP 0 439 965 A (SHARP KABUSHIKI KAISHA) 7. August 1991 (1991-08-07) Zusammenfassung; Abbildungen 1A-1F	1-14

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :
 "A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist
 "E" älteres Dokument, das jedoch erst am oder nach dem Internationalen Anmeldedatum veröffentlicht worden ist
 "L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)
 "O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht
 "P" Veröffentlichung, die vor dem Internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem Internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist
 "X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erforderlicher Tätigkeit beruhend betrachtet werden
 "Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erforderlicher Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist
 "&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der Internationalen Recherche

Abeendedatum des Internationalen Recherchenberichts

10. April 2000

17/04/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5618 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+31-70) 340-3018

Bevollmächtigter Bediensteter

Sinemus, M

C.(Fortsetzung) ALS WESENTLICH ANGEBEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 10, 31. Oktober 1997 (1997-10-31) & JP 09 162387 A (MITSUBISHI ELECTRIC CORP), 20. Juni 1997 (1997-06-20) Zusammenfassung	1-14
A	US 5 773 341 A (MICRON TECHNOLOGY INC) 30. Juni 1998 (1998-06-30) Zusammenfassung; Abbildungen	1-14
A	DE 197 45 856 A (UNITED MICROELECTRONICS CORP) 22. April 1999 (1999-04-22) Zusammenfassung; Abbildungen	11-13
A	US 5 629 539 A (KABUSHIKI KAISHA TOSHIBA) 13. Mai 1997 (1997-05-13) Zusammenfassung; Abbildungen 11B,24A	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No

DE 99/02339

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5856219	A	05-01-1999	JP	6177349 A		24-06-1994
US 5240872	A	31-08-1993	JP	2934325 B		16-08-1999
			JP	4212448 A		04-08-1992
			DE	4113962 A		14-11-1991
			DE	4143616 C		17-09-1998
			KR	9408570 B		24-09-1994
			US	5173752 A		22-12-1992
EP 439965	A	07-08-1991	JP	2547882 B		23-10-1996
			JP	3274726 A		05-12-1991
			JP	2574910 B		22-01-1997
			JP	3203231 A		04-09-1991
			DE	69030433 D		15-05-1997
			DE	69030433 T		09-10-1997
			KR	9602078 B		10-02-1996
			US	5118640 A		02-06-1992
			US	5100828 A		31-03-1992
JP 09162387	A	20-06-1997		NONE		
US 5773341	A	30-06-1998		NONE		
DE 19745856	A	22-04-1999	FR	2769754 A		16-04-1999
US 5629539	A	13-05-1997	JP	7249689 A		26-09-1995
			JP	7254648 A		03-10-1995
			JP	8162616 A		21-06-1996

INTERNATIONAL SEARCH REPORT

Ir. National Application No
PCT/DE 99/02339

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 H01L21/8242

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category ^o	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 5 856 219 A (MATSUSHITA ELECTRIC INDUSTRIAL CO LTD) 5 January 1999 (1999-01-05) the whole document ---	1-14
X	US 5 240 872 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 31 August 1993 (1993-08-31) abstract; figures 4A-4J ---	1-14
X	EP 0 439 965 A (SHARP KABUSHIKI KAISHA) 7 August 1991 (1991-08-07) abstract; figures 1A-1F ---	1-14

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search

Date of mailing of the international search report

10 April 2000

17/04/2000

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Sinemus, M

INTERNAL NAL SEARCH REPORT

tional Application No
PCT/DE 99/02339

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 10, 31 October 1997 (1997-10-31) & JP 09 162387 A (MITSUBISHI ELECTRIC CORP), 20 June 1997 (1997-06-20) abstract ---	1-14
A	US 5 773 341 A (MICRON TECHNOLOGY INC) 30 June 1998 (1998-06-30) abstract; figures ---	1-14
A	DE 197 45 856 A (UNITED MICROELECTRONICS CORP) 22 April 1999 (1999-04-22) abstract; figures ---	11-13
A	US 5 629 539 A (KABUSHIKI KAISHA TOSHIBA) 13 May 1997 (1997-05-13) abstract; figures 11B,24A -----	1-14

INTERNATIONAL SEARCH REPORT

Information on patent family members

Int'l Application No

PCT/DE 99/02339

Patent document cited in search report		Publication date		Patent family member(s)		Publication date
US 5856219	A	05-01-1999	JP	6177349 A		24-06-1994
US 5240872	A	31-08-1993	JP	2934325 B		16-08-1999
			JP	4212448 A		04-08-1992
			DE	4113962 A		14-11-1991
			DE	4143616 C		17-09-1998
			KR	9408570 B		24-09-1994
			US	5173752 A		22-12-1992
EP 439965	A	07-08-1991	JP	2547882 B		23-10-1996
			JP	3274726 A		05-12-1991
			JP	2574910 B		22-01-1997
			JP	3203231 A		04-09-1991
			DE	69030433 D		15-05-1997
			DE	69030433 T		09-10-1997
			KR	9602078 B		10-02-1996
			US	5118640 A		02-06-1992
			US	5100828 A		31-03-1992
JP 09162387	A	20-06-1997		NONE		
US 5773341	A	30-06-1998		NONE		
DE 19745856	A	22-04-1999	FR	2769754 A		16-04-1999
US 5629539	A	13-05-1997	JP	7249689 A		26-09-1995
			JP	7254648 A		03-10-1995
			JP	8162616 A		21-06-1996

INTERNATIONALER RECHERCHENBERICHT

Im

deales Aktenzeichen

PCT/DE 99/02339

A. KLASIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

IPK 7 H01L21/8242

Nach der Internationalen Patentklassifikation (IPK) oder nach der nationalen Klassifikation und der IPK

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
IPK 7 H01L

Recherchierte aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie ³	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	US 5 856 219 A (MATSUSHITA ELECTRIC INDUSTRIAL CO LTD) 5. Januar 1999 (1999-01-05) das ganze Dokument ---	1-14
X	US 5 240 872 A (MITSUBISHI DENKI KABUSHIKI KAISHA) 31. August 1993 (1993-08-31) Zusammenfassung; Abbildungen 4A-4J ---	1-14
X	EP 0 439 965 A (SHARP KABUSHIKI KAISHA) 7. August 1991 (1991-08-07) Zusammenfassung; Abbildungen 1A-1F ---	1-14

Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen

Siehe Anhang Patentfamilie

³ Besondere Kategorien von angegebenen Veröffentlichungen

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

Absendedatum des internationalen Recherchenberichts

10. April 2000

17/04/2000

Name und Postanschrift der Internationalen Recherchenbehörde
Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Sinemus, M

C.(Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
A	PATENT ABSTRACTS OF JAPAN vol. 1997, no. 10, 31. Oktober 1997 (1997-10-31) & JP 09 162387 A (MITSUBISHI ELECTRIC CORP), 20. Juni 1997 (1997-06-20) Zusammenfassung ---	1-14
A	US 5 773 341 A (MICRON TECHNOLOGY INC) 30. Juni 1998 (1998-06-30) Zusammenfassung; Abbildungen ---	1-14
A	DE 197 45 856 A (UNITED MICROELECTRONICS CORP) 22. April 1999 (1999-04-22) Zusammenfassung; Abbildungen ---	11-13
A	US 5 629 539 A (KABUSHIKI KAISHA TOSHIBA) 13. Mai 1997 (1997-05-13) Zusammenfassung; Abbildungen 118,24A -----	1-14

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur in den Aktenzeichen

In den Aktenzeichen

PCT/DE 99/02339

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung		Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
US 5856219	A	05-01-1999	JP	6177349	A	24-06-1994
US 5240872	A	31-08-1993	JP	2934325	B	16-08-1999
			JP	4212448	A	04-08-1992
			DE	4113962	A	14-11-1991
			DE	4143616	C	17-09-1998
			KR	9408570	B	24-09-1994
			US	5173752	A	22-12-1992
EP 439965	A	07-08-1991	JP	2547882	B	23-10-1996
			JP	3274726	A	05-12-1991
			JP	2574910	B	22-01-1997
			JP	3203231	A	04-09-1991
			DE	69030433	D	15-05-1997
			DE	69030433	T	09-10-1997
			KR	9602078	B	10-02-1996
			US	5118640	A	02-06-1992
			US	5100828	A	31-03-1992
JP 09162387	A	20-06-1997		KEINE		
US 5773341	A	30-06-1998		KEINE		
DE 19745856	A	22-04-1999	FR	2769754	A	16-04-1999
US 5629539	A	13-05-1997	JP	7249689	A	26-09-1995
			JP	7254648	A	03-10-1995
			JP	8162616	A	21-06-1996